

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-336705

(43)Date of publication of application : 24.11.1992

(51)Int.Cl.

H03G 3/10

H03G 3/02

(21)Application number : 03-107246

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 13.05.1991

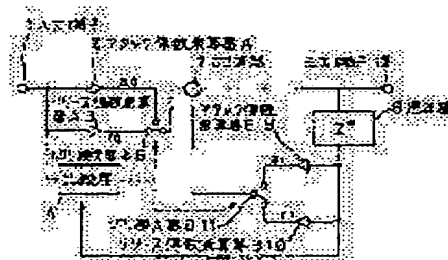
(72)Inventor : SEKI NOBUYUKI

## (54) ATTACK RELEASE CIRCUIT AND DEVICE VOICE COMPRESSION EXPANSION CIRCUIT USING THE ATTACK RELEASE CIRCUIT

(57)Abstract:

PURPOSE: To form the attack release circuit by utilizing digital signal processing.

CONSTITUTION: The circuit is provided with a 1st selection means 6 provided with a 1st multiplier 2 and a 2nd multiplier 3 connected in parallel with an input terminal and selecting an output of the 1st multiplier 2 and the 2nd multiplier 3 depending on the result of the comparison by a comparator 4, and an output of a selection means connects to one input of an adder 7, an output of the adder 7 connects to an output terminal and a delay device 8, an output of the delay device 8 connects in parallel with a 3rd multiplier 9 and a 4th multiplier 10, the output of the 3rd and 4th multipliers is connected to a 2nd selection means 11 making selection depending on the result of the comparator and an output of the 2nd selection means 11 is connected to the other input of the adder 7.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-336705

(43) 公開日 平成4年(1992)11月24日

(51) Int.Cl. <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 G 3/10	D	7239-5 J		
3/02	A	7239-5 J		

審査請求 未請求 請求項の数 8 (全 8 頁)

(21) 出願番号 特願平3-107246

(22) 出願日 平成3年(1991)5月13日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 関 信之

神奈川県横浜市港北区綱島東四丁目3番1  
号 松下通信工業株式会社内

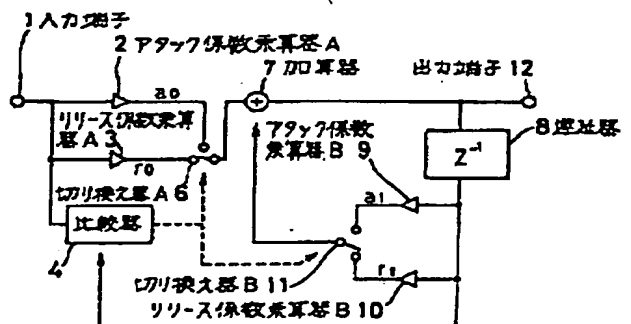
(74) 代理人 弁理士 武田 元敏 (外1名)

(54) 【発明の名称】 アタック・リリース回路とアタック・リリース回路を用いた音声圧縮・伸張回路

(57) 【要約】

【目的】 デジタル信号処理を応用して、アタック・リリース回路を構成する。

【構成】 入力端子に並列に接続された、第1の乗算器2と第2の乗算器3を備え、比較器4の結果により第1の乗算器2と第2の乗算器3の出力を選択する第1の選択手段6を備え、選択手段の出力を加算器7の一入力に接続し、加算器7の出力は出力端子と遅延器8に接続され、遅延器8の出力は並列に第3の乗算器9と第4の乗算器10に接続され、第3と第4の乗算器の出力は前記比較器の結果により選択が行われる第2の選択手段11に接続され、第2の選択手段11の出力を前記の加算器7のもう一方の入力に接続するようにした。



1

## 【特許請求の範囲】

【請求項 1】 入力端子に並列に接続された、第 1 の乗算器と第 2 の乗算器を備え、比較器の結果により第 1 の乗算器と第 2 の乗算器の出力を選択する第 1 の選択手段を備え、選択手段の出力を加算器の入力に接続し、加算器の出力は出力端子と遅延器に接続され、遅延器の出力は並列に第 3 の乗算器と第 4 の乗算器に接続され、第 3 と第 4 の乗算器の出力は前記比較器の結果により選択が行われる第 2 の選択手段に接続され、第 2 の選択手段の出力を前記の加算器のもう一方の入力に接続するようにしたアタック・リリース回路。

【請求項 2】 入力端子に接続された加算器を備え、加算器の出力を並列に遅延器と第 1 の乗算器と第 2 の乗算器に接続し、遅延器の出力は並列に第 3 の乗算器と第 4 の乗算器に接続し、第 3 と第 4 の乗算器の出力は比較器の結果により選択が行われる第 2 の選択手段に接続し、第 2 の選択手段の出力を前記の加算器のもう一方の入力に接続し、前記比較器の結果により第 1 の乗算器と第 2 の乗算器の出力を選択する第 1 の選択手段を設け、第 1 の選択手段の出力を出力信号とし出力端子から取り出すようにしたアタック・リリース回路。

【請求項 3】 入力端子に接続された加算器を備え、加算器の出力を並列に遅延器と出力端子に接続し、遅延器の出力は第 1 の乗算器と第 2 の乗算器に接続し、第 1 と第 2 の乗算器の出力は比較器の結果により選択が行われる選択手段に接続し、選択手段の出力を前記の加算器のもう一方の入力に接続するようにしたアタック・リリース回路。

【請求項 4】 入力端子に接続された加算器を備え、加算器の出力を並列に第 1 の乗算器と第 2 の乗算器に接続し、比較器の結果により第 1 の乗算器と第 2 の乗算器の出力を選択する第 1 の選択手段を設け、第 1 の選択手段の出力を出力端子と遅延器に接続し、遅延器の出力は並列に第 3 の乗算器と第 4 の乗算器に接続し、第 3 と第 4 の乗算器の出力は前記比較器の結果により選択が行われる第 2 の選択手段に接続し、第 2 の選択手段の出力を前記の加算器のもう一方の入力に接続するようにしたアタック・リリース回路。

【請求項 5】 入力端子に並列にレベル制御手段とシリーズ接続された絶対値発生回路と、しきい値が入力された引算器と、べき乗変換器、とアタック・リリース回路を設け、アタック・リリース回路の出力を前記レベル制御手段の制御端子に接続し、レベル制御手段の出力を出力端子に接続し、前記アタック・リリース回路に、入力端子に並列に接続された、第 1 の乗算器と第 2 の乗算器を備え、比較器の結果により第 1 の乗算器と第 2 の乗算器の出力を選択する第 1 の選択手段を備え、選択手段の出力を加算器の入力に接続し、加算器の出力は出力端子と遅延器に接続され、遅延器の出力は並列に第 3 の乗算器と第 4 の乗算器に接続され、第 3 と第 4 の乗算器の

2

出力は前記比較器の結果により選択が行われる第 2 の選択手段に接続され、第 2 の選択手段の出力を前記の加算器のもう一方の入力に接続するようにした回路を用いることを特徴とする音声圧縮・伸張回路。

【請求項 6】 入力端子に並列にレベル制御手段とシリーズ接続された絶対値発生回路と、しきい値が入力された引算器と、べき乗変換器、とアタック・リリース回路を設け、アタック・リリース回路の出力を前記レベル制御手段の制御端子に接続し、レベル制御手段の出力を出力端子に接続し、前記アタック・リリース回路に、入力端子に接続された加算器を備え、加算器の出力を並列に遅延器と第 1 の乗算器と第 2 の乗算器に接続し、遅延器の出力は並列に第 3 の乗算器と第 4 の乗算器に接続し、第 3 と第 4 の乗算器の出力は比較器の結果により選択が行われる第 2 の選択手段に接続し、第 2 の選択手段の出力を前記の加算器のもう一方の入力に接続し、前記比較器の結果により第 1 の乗算器と第 2 の乗算器の出力を選択する第 1 の選択手段を設け、第 1 の選択手段の出力を出力信号として出力端子から取り出すようにした回路を用いることを特徴とする音声圧縮・伸張回路。

【請求項 7】 入力端子に並列にレベル制御手段とシリーズ接続された絶対値発生回路と、しきい値が入力された引算器と、べき乗変換器、とアタック・リリース回路を設け、アタック・リリース回路の出力を前記レベル制御手段の制御端子に接続し、レベル制御手段の出力を出力端子に接続し、前記アタック・リリース回路に、入力端子に接続された加算器を備え、加算器の出力を並列に遅延器と出力端子に接続し、遅延器の出力は並列に第 1 の乗算器と第 2 の乗算器に接続し、第 1 と第 2 の乗算器の出力は比較器の結果により選択が行われる選択手段に接続し、選択手段の出力を前記の加算器のもう一方の入力に接続するようにした回路を用いることを特徴とする音声圧縮・伸張回路。

【請求項 8】 入力端子に並列にレベル制御手段とシリーズ接続された絶対値発生回路と、しきい値が入力された引算器と、べき乗変換器と、アタック・リリース回路を設け、アタック・リリース回路の出力を前記レベル制御手段の制御端子に接続し、レベル制御手段の出力を出力端子に接続し、前記アタック・リリース回路に、入力端子に接続された加算器を備え、加算器の出力を並列に第 1 の乗算器と第 2 の乗算器に接続し、比較器の結果により第 1 の乗算器と第 2 の乗算器の出力を選択する第 1 の選択手段を設け、第 1 の選択手段の出力を出力端子と遅延器に接続し、遅延器の出力は並列に第 3 の乗算器と第 4 の乗算器に接続し、第 3 と第 4 の乗算器の出力は前記比較器の結果により選択が行われる第 2 の選択手段に接続し、第 2 の選択手段の出力を前記の加算器のもう一方の入力に接続するようにした回路を用いることを特徴とする音声圧縮・伸張回路。

【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、音響機器に関係し、具体的にはディジタル信号処理を利用したアタック・リリース回路とアタック・リリース回路を用いた音声レベルを圧縮・伸張する音響効果装置に関するものである。

## 【0002】

【従来の技術】図6は、従来のアタック・リリース回路の構成を示している図6において、入力端子71はダイオード72と可変抵抗A73を通しキャパシタ74と可変抵抗B75と出力端子76に接続されている。次に上記従来例の動作について説明する。図6において、キャパシタ74に充電されている電圧より高い入力電圧が入力端子71に印加されると、ダイオード72はON状態となり、可変抵抗A73とキャパシタ74により決定される時定数でチャージが行われる。一方、キャパシタ74に充電されている電圧より低い入力電圧が入力端子71に印加されると、ダイオード72はOFF状態となり、可変抵抗B73とキャパシタ75により決定される時定数でディスチャージが行われる。このように上記従来のアタック・リリース回路でもこのチャージ/ディスチャージの時定数を可変抵抗AおよびBで独立に可変できるアタック・リリース信号を発生することができる。

## 【0003】

【発明が解決しようとする課題】しかしながら、上記従来の装置をディジタル信号処理に応用して構成しようとした場合、アタック・リリースの処理を継続に行う必要があり、処理が複雑化するという問題があった。本発明はこのような従来の問題を解決するものであり、ディジタル信号処理において比較的簡単な構成で発生できるアタック・リリース回路を提供することを目的とするものである。

## 【0004】

【課題を解決するための手段】本発明は上記目的を達成するために、第1の手段としては、入力端子に並列に接続された、第1の乗算器と第2の乗算器を備え、比較器の結果により第1の乗算器と第2の乗算器の出力を選択する第1の選択手段を備え、選択手段の出力を加算器の入力に接続し、加算器の出力は出力端子と遅延器に接続され、遅延器の出力は並列に第3の乗算器と第4の乗算器に接続され、第3と第4の乗算器の出力は前記比較器の結果により選択が行われる第2の選択手段に接続され、第2の選択手段の出力を前記加算器のもう一方の入力に接続するようにしたものである。

【0005】また、第2の手段としては、入力端子に接続された加算器を備え、加算器の出力を並列に遅延器と第1の乗算器と第2の乗算器に接続し、遅延器の出力は並列に第3の乗算器と第4の乗算器に接続し、第3と第4の乗算器の出力は比較器の結果により選択が行われる第2の選択手段に接続し、第2の選択手段の出力を前述の加算器のもう一方の入力に接続し、前記比較器の結果

により第1の乗算器と第2の乗算器の出力を選択する第1の選択手段を設け、第1の選択手段の出力を出力信号とし出力端子から取り出すようにしたものである。

【0006】また、第3の手段としては、入力端子に接続された加算器を備え、加算器の出力を並列に遅延器と出力端子に接続し、遅延器の出力は並列に第1の乗算器と第2の乗算器に接続し、第1と第2の乗算器の出力は前記比較器の結果により選択が行われる選択手段に接続し、選択手段の出力を前記加算器のもう一方の入力に接続するようにしたものである。

【0007】また、第4の手段としては、入力端子に接続された加算器を備え、加算器の出力を並列に第1の乗算器と第2の乗算器に接続し、比較器の結果により第1の乗算器と第2の乗算器の出力を選択する第1の選択手段を設け、第1の選択手段の出力を出力端子と遅延器に接続し、遅延器の出力は並列に第3の乗算器と第4の乗算器に接続し、第3と第4の乗算器の出力は前記比較器の結果により選択が行われる第2の選択手段に接続し、第2の選択手段の出力を前記加算器のもう一方の入力に接続するようにしたものである。

【0008】更に、第5の手段としては、入力端子に並列にレベル制御手段とシリーズ接続された絶対値発生回路と、しきい値が入力された引算器と、べき乗変換器と、アタック・リリース回路を設け、アタック・リリース回路の出力を前記レベル制御手段の制御端子に接続し、レベル制御手段の出力を出力端子に接続し、前記アタック・リリース回路に前記第1の手段の回路を用いた音声圧縮・伸張回路を構成するようにしたものである。

【0009】また、第6の手段としては、入力端子に並列にレベル制御手段とシリーズ接続された絶対値発生回路と、しきい値が入力された引算器と、べき乗変換器と、アタック・リリース回路を設け、アタック・リリース回路の出力を前記レベル制御手段の制御端子に接続し、レベル制御手段の出力を出力端子に接続し、前記アタック・リリース回路に前記第2の手段の回路を用いた音声圧縮・伸張回路を構成するようにしたものである。

【0010】また、第7の手段としては、入力端子に並列にレベル制御手段とシリーズ接続された絶対値発生回路と、しきい値が入力された引算器と、べき乗変換器と、アタック・リリース回路を設け、アタック・リリース回路の出力を前記レベル制御手段の制御端子に接続し、レベル制御手段の出力を出力端子に接続し、前記アタック・リリース回路に前記第3の手段の回路を用いた音声圧縮・伸張回路を構成するようにしたものである。

【0011】そして、第8の手段としては、入力端子に並列にレベル制御手段とシリーズ接続された絶対値発生回路と、しきい値が入力された引算器と、べき乗変換器と、アタック・リリース回路を設け、アタック・リリース回路の出力を前記レベル制御手段の制御端子に接続し、レベル制御手段の出力を出力端子に接続し、前記ア

タック・リリース回路に前記第4の手段の回路を用いた音声圧縮・伸張回路を構成するようにしたものである。

【0012】

【作用】したがって、本発明によれば上記第1～第8の手段に応じ以下の作用を有する。

- (1) アタック・リリース回路をデジタル信号処理により実現できる(第1の手段～第8の手段で共通)。
- (2) デジタル信号処理により実現が可能であるので、抵抗/キャパシタの経年変化等の劣化がない(第1の手段～第4の手段で共通)。
- (3) アナログ回路を置き換えたものより簡略化した処理でアタック・リリース回路を構成できる(第1の手段、第2の手段、第4の手段で共通)。
- (4) アタック/リリースの時定数を独立して調整できる(第1の手段～第6の手段および第8の手段で共通)。
- (5) 第3手段のときは、アナログ回路を置き換えたものより簡略化した処理でアタック・リリース回路を構成でき、さらに精度を若干犠牲にすることにより、より簡略化した処理でアタック・リリース回路を構成できる。
- (6) デジタル信号処理により実現が可能であるので、抵抗/キャパシタの経年変化等の劣化がない音声圧縮・伸張回路を構成できる(第5手段～第8手段に共通)。
- (7) アナログ回路を置き換えたものより簡略化した処理で音声圧縮・伸張回路を構成できる(第5の手段～第8の手段)。

【0013】

【実施例】図1は、本発明の第1の実施例のアタック・リリース回路の構成を示すものである。図1において、1は入力端子でありアタック係数乗算器A2とリリース係数乗算器A3に並列に接続されている。アタック係数乗算器A2とリリース係数乗算器A3の出力は切り換え器A6の10 入力にそれぞれ接続されており切り換え器A6の出力は加算器7の入力の一方に接続されている。加算器の出力は、出力端子12と遅延器8の入力に接続されており遅延器8の出力は並列にアタック係数乗算器B9とリリース係数乗算器B10に接続されている。アタック係数乗算器B9とリリース係数乗算器B10の出力は切り換え器B11の入力にそれぞれ接続されており、切り換え器B11の出力は加算器7の入力のもう一方に接続されている。比較器4は遅延器8の出力と入力信号の比較を行っ 30 ている。

【0014】次に上記第1の実施例の動作について説明する。図1において、入力端子1に信号が印加されると、比較器4において加算器7と遅延器8、アタック係数乗算器B9またはリリース係数乗算器B10、および切り換え器B11により構成されるフィードバックループに蓄積された値との比較が行われ、入力信号が蓄積値より小さい場合、各切り換え器A6、B11においてそれぞれアタック係数乗算器側が選択される。アタック係数乗算器側が選択されると、アタック係数乗算器A2により係 50

数 $a_0$ との乗算が行われ、本回路のゲインを調整した後、加算器7に入力される。前記フィードバックループでは、アタック係数乗算器B9側が選択されており、蓄積値を徐々に0に向かって指数的に減少させるように回路が働いている。また、入力信号が蓄積値より大きい場合、各切り換え器A6、B11においてそれぞれリリース係数乗算器側が選択される。リリース係数乗算器側が選択されると、リリース係数乗算器A3により係数 $r_0$ との乗算が行われ、本回路のゲインを調整した後、加算器7に入力される。前記フィードバックループでは、リ 10 リース係数乗算器B10側が選択されており、蓄積値を徐々に指数的に一定値に集束するように回路が働く。これらの、比較器による切り換え処理によりアタック・リリース信号が構成できる。このように上記第1の実施例によれば、

- (1) アタックリリース回路をデジタル信号処理により実現が可能である。
- (2) デジタル信号処理により実現が可能であるので、抵抗/キャパシタの経年変化等の劣化が無い。
- (3) アナログ回路を置き換えたものより簡略化した処理でアタック・リリース回路を構成できる。
- (4) アタック/リリースの時定数を独立して調整できる。なお、第1の実施例において比較器入力には遅延器出力から取り出しているが、これを遅延器入力から取り出して 20 もよい。この場合上記(1)～(4)が得られる。

【0015】図2は、本発明の第2の実施例のアタック・リリース回路の構成を示すものである。図2において、21は入力端子であり、加算器27の入力の一方に接続されている。加算器27の出力は、アタック係数乗算器A22とリリース係数乗算器A23と遅延器28の入力に並列に接続されており遅延器28の出力は並列にアタック係数乗算器B29とリリース係数乗算器B30に接続されている。切り換え器Bの出力は加算器7の入力のもう一方に接続されている。一方アタック係数乗算器A22とリリース係数乗算器A23の出力は切り換え器A26の入力にそれぞれ接続されており切り換え器A26の出力は出力端子32に接続されている。比較器4は遅延器8の出力にと入力信号の比較を行っている。

【0016】次に上記第2の実施例の動作について説明する。図2において、入力端子21に信号が印加されると、比較器24において加算器27と遅延器28、アタック係数乗算器B29またはリリース係数乗算器B30、および切り換え器B31により構成されるフィードバックループに蓄積された値との比較が行われ、入力信号が蓄積値より小さい場合、各切り換え器A26、B31においてそれぞれアタック係数乗算器側が選択される。アタック係数乗算器側が選択されると、フィードバックループでは、アタック係数乗算器B29側が選択されているので、蓄積値を徐々に0に向かって指数的に減少させるように回路が 40 働く。加算器27の出力はアタック係数乗算器A22により

係数  $a_0$  との乗算が行われ、本回路のゲインを調整した後出力される。また、入力信号が蓄積値より大きい場合、各切り換え器 A26、B31においてそれぞれリリース係数乗算器側が選択される。リリース係数乗算器側が選択されると、フィードバックループでは、リリース係数乗算器 B30側が選択されており、蓄積値を徐々に指数的に一定値に集束するように回路が働く。加算器27出力はリリース係数乗算器 A23により係数  $r_0$  との乗算が行われ、本回路のゲインを調整した後出力される。これらの、比較器による切り換え処理によりアタック・リリース信号が構成できる。このように上記第2の実施例によれば、

(1) アタックリリース回路をデジタル信号処理により実現が可能である。

(2) デジタル信号処理により実現が可能であるので、抵抗/キャパシタの経年変化等の劣化が無い。

(3) アナログ回路を置き換えたものより簡略化した処理でアタック・リリース回路を構成できる。

(4) アタック/リリースの時定数を独立して調整できる。なお、第2の実施例において比較器入力には遅延器出力から取り出しているが、これを遅延器入力から取り出してもよい。この場合でも上記(1)~(4)が得られる。

【0017】図3は、本発明の第3の実施例のアタック・リリース回路の構成を示すものである。図3において、33は入力端子であり、加算器34の入力の一方に接続されている。加算器34の出力は、出力端子40と遅延器35の入力に並列に接続されており遅延器35の出力は並列にアタック係数乗算器36とリリース係数乗算器37に接続されている。切り換え器38の出力は加算器34の入力のもう一方に接続されている。比較器39は遅延器35の出力と入力信号の比較を行っている。

【0018】次に上記第3の実施例の動作について説明する。図3において、入力端子33に信号が印加されると、比較器39において加算器34と遅延器35、アタック係数乗算器36またはリリース係数乗算器37、および切り換え器38により構成されるフィードバックループに蓄積された値との比較が行われ、入力信号が蓄積値より小さい場合、切り換え器38においてアタック係数乗算器36側が選択される。アタック係数乗算器36側が選択されると、フィードバックループでは、蓄積値を徐々に0に向かって指数的に減少させるように回路が働く。また、入力信号が蓄積値より大きい場合、各切り換え器38においてリリース係数乗算器37側が選択される。リリース係数乗算器側が選択されると、フィードバックループでは、蓄積値を徐々に指数的に一定値に集束するように回路が働く。これらの、比較器による切り換え処理によりアタック・リリース信号が構成できる。このように上記第3の実施例によれば、

(1) アタックリリース回路をデジタル信号処理により実現が可能である。

(2) デジタル信号処理により実現が可能であるので、抵抗/キャパシタの経年変化等の劣化が無い。

(3) アナログ回路を置き換えたものより簡略化した処理でアタック・リリース回路を構成でき、さらに精度を若干犠牲にすることにより、より簡略化した処理でアタック・リリース回路を構成できる。

(4) アタック/リリースの時定数を独立して調整できる。なお、第3の実施例において比較器入力には遅延器出力から取り出しているが、これを遅延器入力から取り出してもよい。この場合でも上記と同様(1)~(4)が得られる。

【0019】図4は、本発明の第4の実施例のアタック・リリース回路の構成を示すものである。図4において、41は入力端子であり、加算器47の入力の一方に接続されている。加算器47の出力は、アタック係数乗算器 A42とリリース係数乗算器 A43の入力に並列に接続されており出力はそれぞれ切り換え器 A46に入力され、その出力は出力端子52と遅延器48の入力に並列に接続されている。遅延器48の出力が並列にアタック係数乗算器 B49とリリース係数乗算器 B50に接続されておりその出力はそれぞれ切り換え器 B51の入力に接続されている。切り換え器 B51の出力は加算器47の入力のもう一方に接続されている。比較器44は遅延器48の出力と入力信号の比較を行っている。

【0020】次に上記第4の実施例の動作について説明する。図4において、入力端子41に信号が印加されると、比較器44においてアタック係数乗算器 A42またはリリース係数乗算器 A43、加算器47と遅延器48、アタック係数乗算器 B49またはリリース係数乗算器 B50、および切り換え器 B51により構成されるフィードバックループに蓄積された値との比較が行われ、入力信号が蓄積値より小さい場合、各切り換え器 A46、B51においてそれぞれアタック係数乗算器側が選択される。アタック係数乗算器側が選択されると、フィードバックループでは、アタック係数乗算器 B49側が選択されているので、蓄積値を徐々に0に向かって指数的に減少させるように回路が働くとともに、加算器47の出力はアタック係数乗算器 A42により係数  $a_0$  との乗算が行われ、本回路のゲインを調整する。また、入力信号が蓄積値より大きい場合、各切り換え器 A46、B51においてそれぞれリリース係数乗算器側が選択される。リリース係数乗算器側が選択されると、フィードバックループでは、リリース係数乗算器 B50側が選択されており、蓄積値を徐々に指数的に一定値に集束するように回路が働くとともに、加算器47出力はリリース係数乗算器 A43により係数  $r_0$  との乗算が行われ、本回路のゲインを調整する。これらの、比較器による切り換え処理によりアタック・リリース信号が構成できる。このように上記第4の実施例によれば、

(1) アタックリリース回路をデジタル信号処理により実現が可能である。

(2) デジタル信号処理により実現が可能であるので、抵抗/キャパシタの経年変化等の劣化が無い。

(3) アナログ回路を置き換えたものより簡略化した処理でアタック・リリース回路を構成できる。

(4) アタック/リリースの時定数を独立して調整できる。

なお、第4の実施例において比較器入力には遅延器出力から取り出しているが、これを遅延器入力から取り出してもよい。この場合でも上記と同様(1)~(4)が得られる。

【0021】図5は、本発明の第5ないし第8の実施例におけるコンプレッサの構成を示すものである。図5において、61は入力端子であり、レベル制御をなくすための乗算器67の入力と絶対値発生回路62の入力に接続されている。絶対値発生回路62の出力はしきい値63と絶対値との比較を行う引算器64に接続されている。引算器64の出力は、べき乗変換器65に接続され、べき乗変換器65出力はアタック・リリース回路66に接続されている。アタック・リリース回路66の出力は乗算器67の制御信号を与える。第5の実施例においては、アタック・リリース回路66は図1で示した回路を用いる。

【0022】次に上記第5の実施例の動作について説明する。入力信号は絶対値発生回路62によって直流値に変換され、引算器64によりしきい値を絶対値信号が越えた量の値がべき乗変換65にあたえられ、べき乗変換された信号は、アタック・リリース回路66により包絡信号に変換され、この信号と入力信号との乗算を乗算器67でおこない、包絡電圧が最大の場合ゲインを $-\infty$ 、包絡電圧が最小の場合ゲインを0dBとするよう動作が行われる。このように、上記第5の実施例によればしきい値を越えた入力信号に対してレベル制御手段である乗算器67により圧縮が行われるようになり、アタック・リリース回路66によって脈流を持ったべき乗変換信号を平滑化され、圧縮された信号の歪を低減できる。また、本発明の第1の実施例に示したアタック・リリース回路を使用しているため、

(1) アタックリリース回路をデジタル信号処理により実現が可能である。(2) デジタル信号処理により実現が可能であるので、抵抗/キャパシタの経年変化等の劣化が無い音声圧縮・伸張回路を構成できる。

(3) アナログ回路を置き換えたものより簡略化した処理で音声圧縮・伸張回路を構成できる。

(4) アタック/リリースの時定数を独立して調整できる。本発明の第6の実施例は、図5に示すコンプレッサのアタックリリース回路に図2で示した回路を用いたもので、第5の実施例と同様の働きをする。また、本発明の第7の実施例は、図5に示すコンプレッサのアタックリリース回路に図3で示した回路を用いたもので、第5の実施例と同様の働きをする。さらに、本発明の第8の実施例は、図5に示すコンプレッサのアタックリリース回路に図4で示した回路を用いたもので、第5の実施例

と同様の働きをする。

【0023】

【発明の効果】本発明は上記第1ないし第4のアタック・リリース回路の実施例から明らかなように、以下に示す効果を有する。

(1) アタック・リリース回路をデジタル信号処理により実現できる(第1~第4の実施例共通)。

(2) アタック・リリース回路をデジタル信号処理により実現が可能であるので、抵抗/キャパシタの経年変化の劣化がない(第1~第4の実施例共通)。

(3) アナログ回路を置き換えたものよりも簡略化した処理でアタック・リリース回路を構成できる(第1、第2、第4の実施例)。さらに精度を若干犠牲にすることにより、より簡略化した処理でアタック・リリース回路を構成できる(第3の実施例)。

(4) アタック/リリースの時定数を独立して調整できる(第1~第4の実施例共通)。また、本発明のアタック・リリース回路を適用したコンプレッサの第5、第6、第7、第8の実施例から明らかなように次の効果を有する。

(a) アタックリリース回路をデジタル信号処理により実現できる。

(b) デジタル信号処理により実現が可能であるので、抵抗/キャパシタの経年変化等の劣化がない音声圧縮/伸張回路を構成できる。

(c) アナログ回路を置き換えたものより簡略化した処理で音声圧縮・伸張回路を構成できる。

(d) アタック/リリースの時定数を独立して調整できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例におけるアタック・リリース回路の概略ブロック図である。

【図2】本発明の第2の実施例におけるアタック・リリース回路の概略ブロック図である。

【図3】本発明の第3の実施例におけるアタック・リリース回路の概略ブロック図である。

【図4】本発明の第4の実施例におけるアタック・リリース回路の概略ブロック図である。

【図5】本発明のアタック・リリース回路を適用した実施例におけるコンプレッサ回路の概略ブロック図の要部を示したものである。

【図6】従来のアタック・リリース回路の概略ブロック図である。

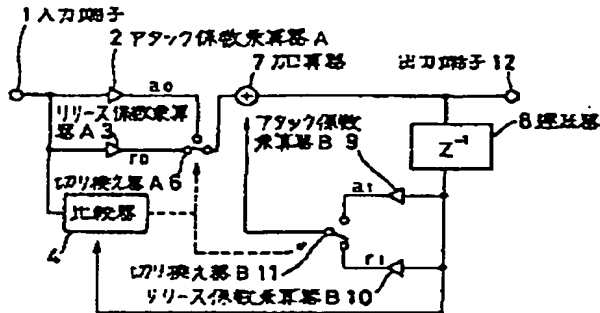
【符号の説明】

1, 21, 33, 41, 61, 71...入力端子、 2, 22, 42...アタック係数乗算器A、 3, 23, 43...リリース係数乗算器A、 4, 24, 39, 44...比較器、 6, 26, 46...切り換え器A、 7, 27, 34, 47...加算器、 8, 28, 35, 48...遅延器、 9, 29, 49...アタック係数乗算器B、 10, 30, 50...リリース係数乗算器B、 11, 31, 51...切り

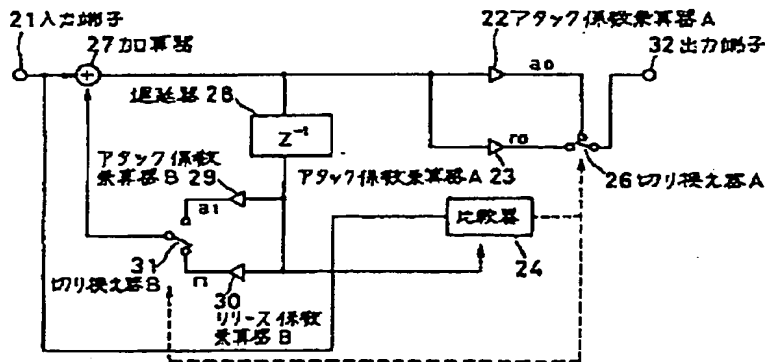
11

換え器 B、 12、 32、 40、 52、 68、 76…出力端子、 36  
…アタック係数乗算器、 37…リリース係数乗算器、  
38…切り換え器、 62…絶対値発生回路、 63…しきい  
値、 64…引算器、 65…べき乗変換、 66…アタック

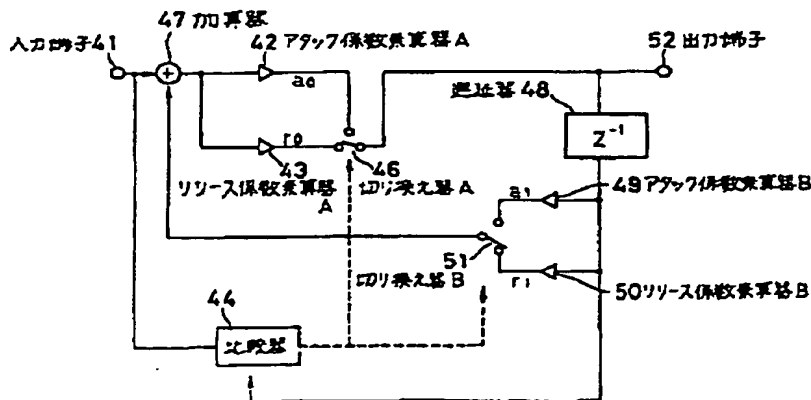
【図1】



【図2】



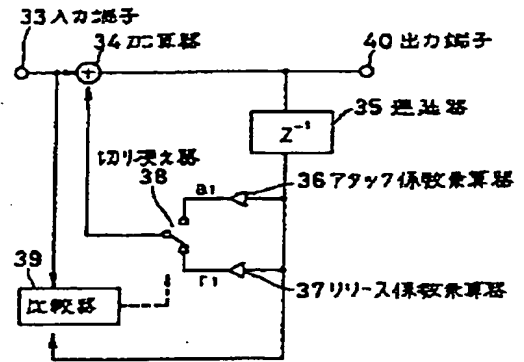
【図4】



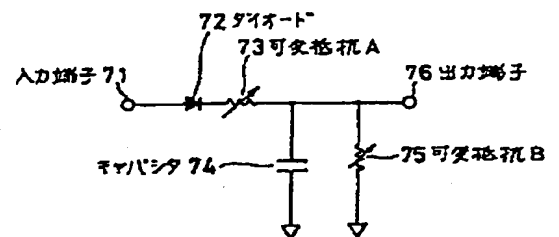
12

・リリース回路、 67…乗算器、 72…ダイオード、  
73…可変抵抗 A、 74…キャパシタ、 75…可変抵抗  
B。

【図3】



【図6】



【図5】

